

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2003年7月24日 (24.07.2003)

PCT

(10)国際公開番号
WO 03/060912 A1

(51)国際特許分類: G11B 20/14, II03M 7/14, II04L 25/49

北品川 6丁目 7番 35号 ソニー株式会社内 Tokyo

(21)国際出願番号: PCT/JP03/00236

(JP). 岡村 完成 (OKAMURA, Hirohige) [JP/JP]; 〒141-

(22)国際出願日: 2003年1月15日 (15.01.2003)

0001 東京都 品川区 北品川 6丁目 7番 35号 ソニー株

(25)国際出願の言語: 日本語

式会社内 Tokyo (JP). 飛田 実 (TOBITA, Minoru) [JP/JP];

(26)国際公開の言語: 日本語

〒141-0001 東京都 品川区 北品川 6丁目 7番 35号

(30)優先権データ: 特願2002-7254 2002年1月16日 (16.01.2002) JP

ソニー株式会社内 Tokyo (JP).

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都 品川区 北品川 6丁目 7番 35号 Tokyo (JP).

(74)代理人: 稲本 義雄 (INAMOTO, Yoshio); 〒160-0023 東京都 新宿区 西新宿 7丁目 11番 18号 711ビル

(72)発明者: および (75)発明者/出願人(米国についてのみ): 中川 俊之 (NAKAGAWA, Toshiyuki) [JP/JP]; 〒141-0001 東京都 品川区

ディング 4階 Tokyo (JP).

(81)指定国(国内): CN, KR, US.

(84)指定国(広域): ヨーロッパ特許 (AT, BF, BG, CH, CY,

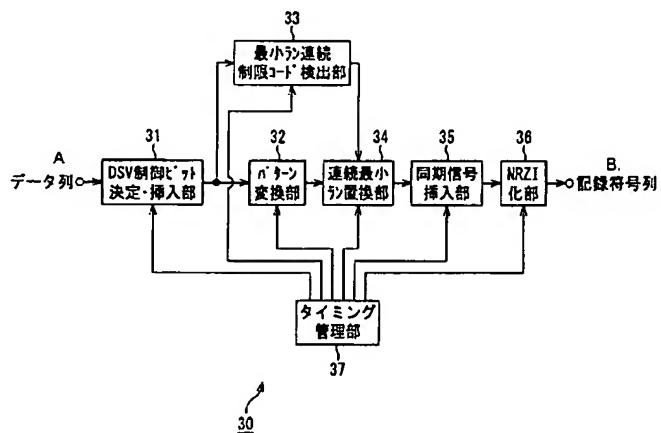
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

添付公開書類:
国際調査報告書

[統葉有]

(54)Title: MODULATION APPARATUS AND METHOD

(54)発明の名称: 变调装置および方法



33...MINIMUM RUN CONTINUATION LIMIT CODE DETECTOR

A...DATA STRING

31...DSV CONTROL BIT DECISION/INSERTION UNIT

32...PATTERN CONVERTER

34...CONTINUOUS MINIMUM RUN REPLACEMENT UNIT

35...SYNCHRONOUS SIGNAL INSERTION UNIT

36...NRZI CONVERSION UNIT

B...RECORDING CODE STRING

37...TIMING MANAGEMENT UNIT

(57)Abstract: A modulation apparatus and a modulation method having a simple circuit structure for realizing a modulation apparatus and capable of being easily applied to another system. According to a conversion table, a pattern converter (32) converts data supplied to a DSV control

[統葉有]

WO 03/060912 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

bit decision/insert unit (31) and having a basic data length of 2 bits into a variable length code having a basic code length of 3 bits. Moreover, a minimum run continuation limit code detector (33) detects from the data string into which the DSV control bit is inserted a position where the channel bit string converted by the pattern converter (32) is continuation of the minimum run. According to the position information supplied to the minimum run continuation limit code detector (33), a continuous minimum run replacement unit (34) replaces a predetermined portion of the channel bit string supplied to the pattern converter (32) by a predetermined pattern, thereby limiting the continuation of the minimum run within a predetermined number of times. The present invention can be applied to a modulation apparatus.

(57) 要約:

本発明は、変調装置を実現する回路の構成を簡単にし、他システムへの応用を容易に行うことができるようとした変調装置および方法に関する。パターン変換部32は、変換テーブルに従って、DSV制御ビット決定・挿入部31に供給された基本データ長が2ビットのデータを、基本符号長が3ビットの可変長符号に変換する。また、最小ラン連続制限コード検出部33は、DSV制御ビットが挿入されたデータ列より、パターン変換部32において変換されたチャネルビット列が最小ランの連続となる位置を検出する。連続最小ラン置換部34は、最小ラン連続制限コード検出部33に供給された位置情報に基づいて、パターン変換部32に供給されたチャネルビット列の所定の部分を所定のパターンに置き換えることにより、最小ランの連続を所定回数以内に制限する。本発明は、変調装置に適用できる。

明細書

変調装置および方法

技術分野

5 本発明は変調装置および方法に関し、特に、データ伝送や記録媒体への記録に用いて好適な変調装置および方法に関する。

背景技術

データを所定の伝送路に伝送したり、または例えば磁気ディスク、光ディスク、
10 光磁気ディスク等の記録媒体に記録したりする際、伝送路や記録媒体に適するよう
うに、データの変調が行われる。このような変調方法の1つとして、ブロック符
号が知られている。このブロック符号は、データ列を $m \times i$ ビットからなる単位
(以下データ語という) にブロック化し、このデータ語を適当な符号則に従って、
n \times i ビットからなる符号語に変換するものである。そしてこの符号は、i = 1
15 のときには固定長符号となり、また i が複数個選べるとき、すなわち、1 乃至 i
max (最大の i) の範囲の所定の i を選択して変換したときには可変長符号とな
る。このブロック符号化された符号は可変長符号 (d, k ; m, n ; r) と表さ
れる。

ここで i は拘束長と称され、i max は r (最大拘束長) となる。また d は、連
20 続する"1"の間に入る、"0"の最小連続個数、例えば"0"の最小ランを示
し、k は連続する"1"の間に入る、"0"の最大連続個数、例えば"0"の最
大ランを示している。

ところで上述のようにして得られる可変長符号を、光ディスクや光磁気ディスク等に記録する場合、例えばコンパクトディスクやミニディスクでは、可変長符
25 号において、"1"を反転とし、"0"を無反転として、NRZI (Non Return to
Zero Inverted) 変調し、NRZI 変調された可変長符号 (以下、記録波形列とも称
する) に基づいて記録が行なわれている。また、記録密度のあまり大きくなかっ

た初期の I S O (International Organization for Standardization) 規格の光磁気ディスクでは、記録変調されたビット列が、NRZI 変調されず、そのまま記録されていた。

記録波形列の最小反転間隔を T_{min} とし、最大反転間隔を T_{max} とするとき、

5 線速方向に高密度に記録を行うためには、最小反転間隔 T_{min} は長い方が、すなわち最小ラン d は大きい方が良く、またクロックの再生の面からは、最大反転間隔 T_{max} は短い方が、すなわち最大ラン k は小さい方が望ましく、この条件を満足するために、種々の変調方法が提案されている。

具体的には、例えば光ディスク、磁気ディスク、又は光磁気ディスク等において、提案あるいは実際に使用されている変調方式として、可変長符号である RLL (1-7) ((1, 7; m, n; r) とも表記される) や RLL (2-7) ((2, 7; m, n; r) とも表記される)、そして I S O 規格 MO に用いられている固定長 RLL (1-7) ((1, 7; m, n; 1) とも表記される) などがある。現在開発研究されている、記録密度の高い光ディスクや光磁気ディスク等のディスク装置では、最小ラン $d = 1$ の RLL 符号 (Run Length Limited Code) がよく用いられている。

可変長 RLL (1-7) 符号の変換テーブルは、例えば以下のようなテーブルである。

〈表1〉

RLL(1, 7; 2, 3; 2)		
データ	符号	
i=1	11	00x
	10	010
	01	10x
i=2	0011	000 00x
	0010	000 010
	0001	100 00x
	0000	100 010

ここで変換テーブル内の記号 x は、次に続くチャネルビットが”0”であるときに”1”とされ、また次に続くチャネルビットが”1”であるときに”0”とされる。最大拘束長 r は 2 である。

可変長 RLL (1-7) のパラメータは (1, 7 ; 2, 3 ; 2) であり、記録波形列のビット間隔を T とすると、 $(d+1) T$ で表される最小反転間隔 T_{min} は $2 (= 1+1) T$ となる。データ列のビット間隔を T_{data} とすると、この $(m/n) \times 2$ で表される最小反転間隔 T_{min} は $1.33 (= (2/3) \times 2) T_{data}$ となる。また $(k+1) T$ で表される最大反転間隔 T_{max} は $8 (= 7+1) T (= (m/n) \times 8 T_{data} = (2/3) \times 8 T_{data} = 5.33 T_{data}$ である。さらに検出窓幅 T_w は $(m/n) \times T_{data}$ で表され、その値は $0.67 (= 2/3) T_{data}$ となる。

ところで、表 1 の RLL (1-7) による変調を行ったチャネルビット列においては、発生頻度としては T_{min} である $2 T$ が一番多く、以下 $3 T$ 、 $4 T$ と続く。 $2 T$ や $3 T$ のようなエッジ情報が早い周期で多く発生するのは、クロック再生に有利となる場合が多い。

ところが、線速方向の記録密度をさらに高くしていくと、今度は逆に、 T_{min} が問題となってくる。すなわち最小ランである $2 T$ が、連続して発生し続けた時は、記録波形に歪みが生じやすくなってくる。なぜなら $2 T$ の波形出力は、他の波形出力よりも小さいので、例えばノイズ、デフォーカス、あるいはタンジェンシャル・チルト等による影響を受け易くなるからである。

このように、高線密度記録の際には、 T_{min} ($2 T$) の連続した記録は、ノイズ等の外乱の影響を受けやすくなり、従ってデータ再生時において、誤りが発生し易くなる。この場合における、データ再生誤りのパターンとしては、連続する T_{min} ($2 T$) の先頭から最後までのエッジが一斉にシフトして誤るケースが多く、すなわち発生するビットエラー長が長くなってしまう。

ところで、記録媒体へのデータの記録、あるいは、データの伝送の際には、記録媒体あるいは伝送路に適した符号化変調が行われるが、これら変調符号に直流

成分が含まれていると、例えば、ディスク装置のサーボの制御におけるトラッキングエラーなどの、各種のエラー信号に変動が生じ易くなったり、あるいはジッターが発生し易くなったりする。従って、変調符号には、直流成分をなるべく含めないようにする方が良い。

5 そこで、DSV(Digital Sum Value)を制御することが提案されている。この DSV とは、チャネルビット列を NRZI 化し(すなわちレベル符号化し)、そのビット列(データのシンボル)の”1”を「+1」、”0”を「-1」として、符号を加算していったときのその総和を意味する。符号列の直流成分の目安となる DSV の絶対値を小さくすること、すなわち、DSV 制御を行うことは、符号列の直流成分を抑制することになる。

上記表 1 に示した、可変長 RLL (1-7) テーブルによる変調符号は、DSV 制御が行われていない。このような場合の DSV 制御は、変調後の符号化列(チャネルビット列)において、所定の間隔で DSV 計算を行い、所定の DSV 制御ビットを符号化列(チャネルビット列)内に挿入することで、実現する。

15 しかしながら、DSV 制御ビットは、基本的には冗長ビットである。従って符号変換の効率から考えれば、DSV 制御ビットはなるべく少ない方が良い。

またさらに、挿入される DSV 制御ビットによって、最小ラン d および最大ラン k は、変化しない方が良い。 (d, k) が変化すると、記録再生特性に影響を及ぼしてしまうからである。

20 ただし実際の RLL 符号は、最小ランは必ず守る必要があるが、最大ランについてはその限りではない。場合によっては最大ランを破るパターンを同期信号に用いるフォーマットも存在する。例えば、DVD (Digital Versatile Disk) の 8-16 符号における最大ランは 11T だが、同期信号パターン部分において最大ランを超える 14T を与え、同期信号の検出能力を上げている。

25 従って、変換効率の優れた RLL (1-7) 方式において、高密度化に対応して、高線密度に、より適するように最小ランの連続を制御すること、および、DSV 制御制御をなるべく効率よく行うことは、重要である。

以上に対して、例えば、本件出願人が先に出願した、特開平11-17743
1号公報において、データ列に第1のD S V制御ビットを挿入した第1のデータ
列と、第2のD S V制御ビットを挿入した第2のデータ列を生成するD S V制御
ビット挿入手段と、最小ランdが1とされ、かつ、データ列の要素内の”1”の
5 個数と、変換される符号語列の要素内の”1”の個数を、2で割った時の余りが、
どちらも1あるいは0で一致するような変換テーブルを用いて、第1のデータ列
と第2のデータ列の両方を変調する変調手段と、変換テーブルを用いて変調され
た第1のデータ列の第1の区間D S Vと第2のデータ列の第2の区間D S Vを計
算し、それらをそれまでの累積D S Vと加算した値から、変換テーブルを用いて
10 変調された第1のデータ列と第2のデータ列の一方を選択して出力するD S V計
算手段とを備えることを特徴とする変調装置が開示されている。

図1は、従来の変調装置の構成例を示すブロック図である。

図1に示すように、変調装置10は、入力されたデータ列に対して、所定の間
隔でD S Vビットとして、”1”または”0”を挿入するD S Vビット挿入部1
15 1を備える。このD S Vビット挿入部11では、D S Vビット”1”を挿入する
データ列と、D S Vビット”0”を挿入するデータ列とが用意される。変調部1
2は、D S Vビット挿入部11でD S Vビットの挿入されたデータ列を変調する。
D S V制御部13は、変調部12で変調された符号語列をN R Z I化してレベル
データとした後にD S V計算を行い、最終的にD S V制御の行われた記録符号列
20 を出力する。

また、他の例として、本件出願人が先に出願した、特開平11-346154
号公報において、変換コードとして、 $d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コ
ードと、データ列の要素内の「1」の個数を2で割ったときの余りと、変換され
る符号語列内の「1」の個数を2で割った余りが、どちらも1あるいは0で一致
25 するような変換規則と、最小ランdの連続を所定の回数以下に制限する第1の置
き換えコードと、ラン長制限を守るための第2の置き換えコードを有することを
特徴とした変換テーブルが開示されている。

図2は、従来の変調装置の他の構成例を示すブロック図である。

図2に示すように、変調装置20は、DSV制御ビットである「1」あるいは「0」を決定し、入力されたデータ列に、任意の間隔で挿入するDSV制御ビット決定・挿入部21、DSV制御ビットが挿入されたデータ列を変調する変調部22、並びに、変調部22の出力を記録波形列に変換するNRZI化部23を備える。また、変調装置20は、タイミング信号を生成し、各部に供給してタイミングを管理するタイミング管理部24を備える。

しかしながら、上述したような変調装置を実現する回路の構成は複雑になってしまいうとい課題があった。また、回路の構成が複雑なため、他システムへの応用が難しいとい課題もあった。

発明の開示

本発明はこのような状況に鑑みてなされたものであり、変調装置を実現する回路の構成を簡単にし、他システムへの応用を容易に行うことができるようとするものである。

本発明の変調装置は、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換手段と、変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出手段と、最小ラン連続制限コード検出手段による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換手段により変換された符号語列を置き換える連続最小ラン置換手段とを備えることを特徴とする。

前記変換手段による、変換テーブルに含まれる所定の変換コードに基づいた変換の回数をカウントし、その情報を保持する変調情報保持手段をさらに備え、最小ラン連続制限コード検出手段は、変調情報保持手段により保持されている情報

の内容に基づいて、入力されたデータからの最小ラン連続制限コードの検出が制御されるようにすることができる。

前記連続最小ラン置換手段により最小ランの連続が所定の回数以下に制限された符号語列の任意の位置に、変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入手段と、同期信号挿入手段により同期信号が挿入された符号語列を NRZI 変換し、記録符号列を作成する NRZI 変換手段とをさらに備えるようにすることができる。

前記変換手段は、 $d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードを有する前記変換テーブルの変換コードに含まれる所定のパターンを、入力されたデータから検出する変換コード検出手段と、変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、入力されたデータから検出する終端コード検出手段と、変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とするとき、「0 0 0」または「1 0 1」となる符号「* 0 *」を有する不確定符号を含む不確定コードを、入力されたデータから検出する不確定コード検出手段と、不確定コード検出手段により検出された不確定コードに含まれる不確定符号の*に対応する符号を決定する不確定ビット決定手段と、変換コード検出手段、終端コード検出手段、および不確定コード検出手段の検出結果、並びに、不確定ビット決定手段による符号の決定結果に基づいて、利用する変換テーブルの変換コードを決定する変換パターン決定手段とを備えるようにすることができる。

前記終端コード検出手段は、終端位置を特定するための情報を供給する終端位置カウンタを有し、入力されたデータから変換テーブルの変換コードに含まれる所定のパターンを検出し、終端位置カウンタにより供給される情報が終端位置を示すことにより、終端コードを検出したと判定するようにすることができる。

前記不確定コード検出手段は、変換パターン決定手段により決定された変換パターンの最終ビットの情報、および、同期信号挿入手段により挿入された同期信号のパターンの最終ビットの情報を取得し、不確定ビット決定手段は、不確定コ

ード検出手段が取得した変換パターンの最終ビットの情報、および同期信号のパターンの最終ビットの情報に基づいて、不確定符号の*に対応する符号を決定するようにすることができる。

前記変換パターン決定手段は、終端コードに基づいて、入力されたデータ列を
5 変換する変換パターンを決定したか否かを判定し、同期信号挿入手段は、変換パターン決定手段による判定結果に基づいて、所定の処理が行われた同期信号を符号語列の任意の位置に挿入するようにすることができる。

前記所定の処理において、同期信号の先頭ビットは、終端コードに基づいて変換パターンを決定したと変換パターン決定手段が判定した場合、「1」に設定され、終端コードに基づいて変換パターンを決定していないと変換パターン決定手段が判定した場合、「0」に設定されるようにすることができる。

本発明の変調方法は、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出ステップと、最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換ステップの処理により変換された符号語列を置き換える連続最小ラン置換ステップとを含むことを特徴とする。

前記変換ステップの処理による、変換テーブルに含まれる所定の変換コードに基づいた変換の回数をカウントし、その情報の保持を制御する変調情報保持ステップをさらに備え、最小ラン連続制限コード検出ステップの処理は、変調情報保持ステップの処理により保持が制御されている情報の内容に基づいて、入力されたデータからの最小ラン連続制限コードの検出を制御するようにすることができる。

前記連続最小ラン置換ステップの処理により最小ランの連続が所定の回数以下に制限された符号語列の任意の位置に、変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入ステップと、同期信号挿入ステップの処理により同期信号が挿入された符号語列を NRZI 変換し、

5 記録符号列を作成する NRZI 変換ステップとをさらに含むようにすることができる。

前記変換ステップの処理は、 $d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードを有する変換テーブルの変換コードに含まれる所定のパターンを、入力されたデータから検出する変換コード検出ステップと、変換テーブルの変換コードに含まれ

10 る、符号を任意の位置において終端させるための終端コードを、入力されたデータから検出する終端コード検出ステップと、変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とするとき、「0 0 0」または「1 0 1」となる符号「* 0 *」を有する不確定符号を含む不確定コードを、入力されたデータから検出する不確定コード検出ステップと、不確定コード検出ステップの処理により検出された不確定コードに含まれる不確定符号の*に対応する符号を決定する不確定ビット決定ステップと、変換コード検出ステップ、終端コード検出ステップ、および不確定コード検出ステップの処理の検出結果、並びに、不確定ビット決定ステップの処理による符号の決定結果に基づいて、利用する変換テーブルの変換コードを決定する変換パターン決定ステップとを含むようにすることができる。

終端位置を特定するための情報を供給する終端位置カウンタを有する変調装置の変調方法において、終端コード検出ステップの処理は、入力されたデータから変換テーブルの変換コードに含まれる所定のパターンを検出し、終端位置カウンタにより供給される情報が終端位置を示すことにより、終端コードを検出したと

25 判定するようにすることができる。

前記不確定コード検出ステップの処理は、変換パターン決定ステップの処理により決定された変換パターンの最終ビットの情報、および、同期信号挿入ステッ

の処理により挿入された同期信号のパターンの最終ビットの情報の取得を制御し、不確定ビット決定ステップの処理は、不確定コード検出ステップの処理により取得が制御された変換パターンの最終ビットの情報、および同期信号のパターンの最終ビットの情報に基づいて、不確定符号の*に対応する符号を決定するよ

5 うにすることができる。

前記変換パターン決定ステップの処理は、終端コードに基づいて、入力されたデータ列を変換する変換パターンを決定したか否かを判定し、同期信号挿入ステップの処理は、変換パターン決定ステップの処理による判定結果に基づいて、所定の処理が行われた同期信号を符号語列の任意の位置に挿入するよう

10 にすることができる。

前記所定の処理において、同期信号の先頭ビットは、終端コードに基づいて変換パターンを決定したと変換パターン決定手段が判定した場合、「1」に設定され、終端コードに基づいて変換パターンを決定していないと変換パターン決定手段が判定した場合、「0」に設定されるようにすることができる。

15 本発明の記録媒体のプログラムは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下

20 に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出ステップと、最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換ステップの処理により変換された符号語列を置き換える連続最小ラン置換ステップとを含むことを特徴とする。

25 本発明のプログラムは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テ

ーブルに従って、入力されたデータを符号語に変換する変換ステップと、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、入力されたデータから検出する最小ラン連続制限コード検出ステップと、最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、変換ステップの処理により変換された符号語列を置き換える連続最小ラン置換ステップとをコンピュータに実行させる。

本発明の変調装置および方法、並びにプログラムにおいては、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータが符号語に変換され、変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードが、入力されたデータから検出され、その検出結果に基づいて、最小ランの連続を所定の回数以下に制限するように、入力されたデータが変換された符号語列が置き換えられる。

図面の簡単な説明

図1は、従来の変調装置の構成例を示すブロック図である。
図2は、従来の変調装置の他の構成例を示すブロック図である。
20 図3は、本発明を適用した変調装置の構成例を示すブロック図である。
図4は、図1の変調装置の処理を説明する図である。
図5は、変調装置の詳細な構成例を示すブロック図である。
図6は、変調装置の他の詳細な構成例を示すブロック図である。
図7は、入力されたデータ列からチャネルビット列への変換における、レジス
25 タ構成を示す模式図である。

図8は、シフトレジスタより供 DSV 制御ビット付きデータ列を供給された不確定コード検出処理部、変換コード検出部、および終端コードの動作の具体例を示す図である。

図9は、データ列から最小ラン連続制限コードを検出する最小ラン連続制限コード検出部の動作の具体例を示す図である。

図10は、最小ラン連続制限コード検出部が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細を示す図である。

図11は、最小ラン連続制限コード検出部が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細の他の例を示す図である。

10

発明を実施するための最良の形態

本発明の実施の形態について説明するが、以下においては、説明の便宜上、変換される前のデータの「0」と「1」の並び（変換前のデータ列）を、（0 0 0 0 1 1）のように、（ ）で区切って表し、変換された後の符号の「0」と「1」の並び（符号語列）を、”0 0 0 1 0 0 1 0 0”のように、” ”で区切って表すこととする。以下に示す表2は、本発明のデータを符号に変換する変換テーブルの例を表している。

<表2>

1, 7PP_table

(d, k; m, n; r) = (1, 7; 2, 3; 4)

データ	符号
11	*0* (Before 0:*=1, Before 1:*=0)
10	001
01	010
0011	010 100
0010	010 000
0001	000 100
000011	000 100 100
000001	010 100 100
00001000	000 100 100 100
00001001	000 100 000 010
00001010	000 100 000 001
00001011	000 100 000 101
00000000	010 100 100 100
00000001	010 100 000 010
00000010	010 100 000 001
00000011	010 100 000 101
#110111-01 :	
	001 :101 010 101 → 001 000 000
	00000:000 010 101 (cbit replace)
	0000t:

Termination table

00	000
0000	010 100
000010	000 100 000
000000	010 000 000

表2の変換テーブルは、最小ランd = 1、最大ランk = 7で、データと変換されるチャネルビットの変換比率は、m : n = 2 : 3である。また、最大拘束長は、r = 4の可変長テーブルである。この変換テーブルは、変換コードとして、それがないと変換処理ができない基礎コード（データ列（11）から（000000 11）までのコード）、それがなくても変換処理は可能であるが、それがあると、

より効果的な変換処理が可能となる置き換えコード（データ列（110111）のコード）、および、符号を任意の位置で終端させるための終端コード（データ列（00），（0000），（000010），（000000）のコード）により構成される終端テーブル（termination table）を含んでいる。また、この
5 変換テーブルには、同期信号も規定されている。

また、表2は、基礎コードの要素に不確定符号（*を含む符号）を含んでいる。不確定符号は、直前および直後の符号語列の如何によらず、最小ランdと最大ランkを守るように、”0”か”1”に決定される。すなわち表2において、変換する2ビットのデータ列が（11）であったとき、その直前の符号語列によつて、”000”または”101”が選択され、そのいずれかに変換される。すなわち、直前の符号語列の1チャネルビットが”1”である場合、最小ランdを守るために、2ビットのデータ（11）は、符号語”000”に変換され、直前の符号語列の1チャネルビットが”0”である場合、最大ランkが守られるように、符号語”101”に変換される。

15 また、表2の変換テーブルは、最小ランの連続を制限する置き換えコードを含んでいる。データ列が（110111）であり、さらに直後のデータ列が（01）、（001）、若しくは（00000）である場合、または、データ列（110111）の直後のデータ列が（0000）と続き、ここで終端される場合、データ列（110111）は符号語“001000000”に置き換えられる。
20 なお、直後のデータ列が上述したようなデータ列でない場合、このデータ列（110111）は、2ビット単位（（11），（01），（11））で符号化され、符号語列“101010101”または“000010101”に変換される。

さらに、表2の変換コードは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余り
25 が、どちらも1あるいは0で同一（対応するいずれの要素も、「1」の個数が奇数または偶数）となるような変換規則を持っている。例えば、変換コードのうちのデータ列の要素（000001）は、”010100100”の符号語列の要

素に対応しているが、それぞれの要素の「1」の個数は、データ列では1個、対応する符号語列では3個であり、どちらも2で割ったときの余りが1（奇数）で一致している。同様にして、変換コードのうちのデータ列の要素（0 0 0 0 0 0 0）は、”0 1 0 1 0 0 1 0 0 1 0 0”の符号語列の要素に対応しているが、
5 それぞれ「1」の個数は、データ列では0個、対応する符号語列では4個であり、どちらも2で割ったときの余りが0（偶数）で一致している。

次に、図3を参照して、本発明に係る変調装置の実施の形態を、図面を参照しながら説明する。この実施の形態では、データ列が、表2に従って、可変長符号 $(d, k; m, n; r) = (1, 7; 2, 3; 4)$ に変換される。
10 図3に示すように、変調装置30は、DSV制御ビットとして「1」あるいは「0」を決定し、入力されたデータ列に、任意の間隔で挿入する DSV制御ビット決定・挿入部31、決定された DSV制御ビットが挿入されたデータ列を所定の変換テーブルを用いてチャネルビットに変換するパターン変換部32、パターン変換部32において変換されたチャネルビット列から最小ランの連続となる位置を、DSV制御ビットが挿入されたデータ列より検出し、この位置情報を出力する最小ラン連続制限コード検出部33、最小ラン連続制限コード検出部33から供給される位置情報に基づいて、パターン変換部32から供給されるチャネルビット列の所定の部分を所定のパターンに置き換えることにより、最小ランの連続を所定回数以内に制限する連続最小ラン置換部34、連続最小ラン置換部34より供給されたチャネルビット列の所定の位置に同期信号を挿入する同期信号挿入部35、並びに、同期信号挿入部35の出力を記録波形列に変換する NRZI化部36を備える。また、変調装置30は、タイミング信号を生成し、DSV制御ビット決定・挿入部31、パターン変換部32、最小ラン連続制限コード検出部33、連続最小ラン置換部34、同期信号挿入部35、および NRZI化部36に供給してタイミングを管理するタイミング管理部37を備える。
20
15
25

図4は、図3の変調装置30の処理を説明する図である。DSV制御ビット決定・挿入部31において、DSV制御ビットの決定及び挿入は、データ列内の任意

の間隔で DSV の計算間隔となる DSV 区間おきに行われる。図 4 においては DSV 区間とは、長さが任意の DATA1, DATA2、および DATA3 に相当することになる。図 4 に示すように、入力されたデータ語のうち、まず DATA1 と DATA2 の間に DSV 制御ビットを挿入するために、DSV 制御ビット決定・挿入部 3 1 は、DATA1 5 までの DSV を積算した積算 DSV を計算する。DSV は、DATA1 を、チャネルビット列に変換し、さらにレベル符号化 (NRZI 化) した各レベルを、レベル H (1) を「+1」、レベル L (0) を「-1」として、それらの値を積算することによって得られる。同様に、次の区間 DATA2 における区間 DSV が計算される。次に、DATA1 と DATA2 の間に挿入される DSV 制御ビット $\times 1$ として、DATA1、DSV 制御 10 ビット $\times 1$ 、および DATA2 による DSV の絶対値が「零」に近づくような値を決定する。

DSV 制御ビット $\times 1$ を (1) に設定すると、DATA1 の後の区間 DATA2 のレベル符号は反転され、また、(0) に設定すると、DATA1 の後の区間 DATA2 のレベル符号は非反転となる。なぜならば、上記表 1 及び表 2 の各テーブル内の要素は、15 データ列の要素内の「1」の個数と、変換される符号語列の要素内の「1」の個数を、2 で割った時の余りが、どちらも 1 あるいは 0 で一致するようになっているので、データ列内において、(1) を挿入することは、すなわち、変換される符号語列に“1”を挿入することになる（すなわち「反転」されることになる）からである。

20 このようにして、図 4 の DSV 制御ビット $\times 1$ が決定したら、次に所定のデータ間隔において、DATA2 と DATA3 の間に、DSV 制御ビット $\times 2$ を挿入し、同様に DSV 制御を行う。なお、そのときの積算 DSV は、DATA1, $\times 1$ 、そして DATA2 までの全ての DSV とする。

また、DATA1 には、フレーム間で同期をとるためのフレーム同期信号（以下、25 FS (Frame Sync) と称する）が挿入される。このため、DSV 制御ビットが挿入される間隔である DSV 区間となる DATA1 は、短く設定される。FS および、DATA1 に対応するチャネルビットからなる Cbit1 を含むチャネルビット列に変換さ

れた DSV 区間の長さである span 1、DATA 2 に対応するチャネルビットからなる Cbit 2 を含む DSV 区間の長さである span 2、および DATA 3 に対応するチャネルビットからなる Cbit 3 を含む DSV 区間の長さである span 3 が全て同じ長さ (span 1 = span 2 = span 3) となるように、DATA 1 の長さは決定される。すな 5 わち、挿入された FS が FS (bit) であり、DATA 2 および DATA 3 がともに y (bit) である場合、変換テーブルの変換率が $m : n = 2 : 3$ であるので、DATA 1 は、 $y - FS * 2 / 3$ (bit) となる。また、DSV 制御ビットはチャネルビット列変換されることにより変換率分それぞれ長くなり、x 1 は Cx 1 へ、x 2 は Cx 2 へ、そして x 3 は Cx 3 にそれぞれ変換される。

10 以上のように、チャネルビット列 (NRZI 化後の記録符号列) は、FS が挿入された後において、等しい間隔で DSV 制御ビットが挿入されており、DSV 制御が行われる。

15 図 5 は、変調装置 3 0 の詳細な構成例を示すブロック図である。図 5において、入力されたデータ列は、DSV 制御ビット決定・挿入部 3 1において、DSV 制御ビットを挿入され、シフトレジスタ 5 1 に供給される。

シフトレジスタ 5 1 は、データを 2 ビットずつシフトさせながら、最小ラン連続制限コード検出部 3 3、並びにパターン変換部 3 2 の不確定コード検出処理部 6 1、変換コード検出部 6 2、および、終端コード検出部 6 3 に供給するようになされている。このときシフトレジスタ 5 1 は、各部がその処理を行うのに必要なビット数を各部に供給する。

20 最小ラン連続制限コード検出部 3 3 は、入力されたデータから表 2 中の (1 1 0 1 1 1) のパターンを検出する。最小ラン連続制限コード検出部 3 3 は、予め所定のビット数のデータ列を記憶しており、入力されたデータから (1 1 0 1 1 1) を検出すると、さらに続く入力データ列を参照する。そして、(1 1 0 1 1 1) の直後に続くパターンが (0 1)、(0 0 1)、若しくは (0 0 0 0 0) である場合、または、(1 1 0 1 1 1) の直後に続くパターンが (0 0 0 0) であり、さらに入力されたデータがここで終端される場合、最小ラン連続制限コード

検出部 3 3 は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 3 4 に供給する。

なお、最小ラン連続制限コード検出部 3 3 は、予め所定のビット数のデータ列を記憶しており、上記とは逆に、入力されたデータから (0 1)、(0 0 1)、

5 若しくは (0 0 0 0) を検出した場合、または、入力されたデータから (0 0 0 0) を検出し、さらに入力されたデータがここで終端される場合、その直前の入力データ列を 6 データ分参照するようにし、そして、参照の結果が (1 1 0 1 1 1) である場合、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 3 4 に供給するようにしてもよい。

10 不確定コード検出処理部 6 1 は、表 2 中の拘束長 $r = 1$ における (1 1) を入力されたデータから検出する。不確定コード検出処理部 6 1 は、入力されたデータが (1 1) である場合、その情報をセレクタ部 6 5 および変換パターン決定部 6 6 に供給する。そして、直前のパターンの最終チャネルビットの情報を、変換パターン決定部 6 6 または同期信号挿入部 3 5 から取得し（すなわち、変調装置 15 3 0 において、直前のパターンの最終チャネルビットの情報は不確定コード検出処理部 6 1 にフィードバックされる）、その取得した最終チャネルビットが 0 である場合は変換する符号を “1 0 1” に決定し、最終チャネルビットが 1 である場合は変換する符号を “0 0 0” に決定するように、不確定ビット決定部 6 7 に情報を供給する。

20 変換コード検出部 6 2 は、表 2 中の termination table 以外の部分から (1 1) および (1 1 0 1 1 1) 以外のパターンを検出する。そして、拘束長 $r = 1$ 乃至 4 に対し、それぞれデータ列パターンが検出された場合、その情報を、変換パターン決定部 6 6 へ供給する。

終端コード検出部 6 3 は、表 2 中の termination table から終端コードのパターンを検出する。すなわち、終端コード検出部 6 3 は、入力されたデータから (0 0)、(0 0 0 0)、(0 0 0 0 1 0) 若しくは (0 0 0 0 0 0) を検出し、さらに、内部に持つ終端位置カウンタによって与えられる情報が終端位置を示す

と判定した場合、終端コードを検出したと判定し、その情報を変換パターン決定部 6 6 に供給する。これにより、変調装置 3 0 では、シフトレジスタ 5 1 から供給されたデータ、すなわち DSV 制御ビットが挿入されたデータ列から、終端位置を判定することができる。

5 なお、図 5において、パターン変換部 3 2 は、上述した不確定コード検出処理部 6 1、変換コード検出部 6 2、および、終端コード検出部 6 3 以外にも、拘束長 $r = 1$ 乃至 4 の変換パターンを記憶する記憶部 6 4、使用する変換パターンを選択するセレクタ部 6 5、入力されたデータをチャネルビットに変換する変換パターン決定部 6 6、およびチャネルビット列において不確定なビットを決定する
10 不確定ビット決定部 6 7 などにより構成される。

記憶部 6 4 は、表 2 に示すような変換テーブルの拘束長 $r = 1$ の変換パターンである 2-3 変換パターン 7 1、拘束長 $r = 2$ の変換パターンである 4-6 変換パターン 7 2、拘束長 $r = 3$ の変換パターンである 6-9 変換パターン 7 3、および、拘束長 $r = 4$ の変換パターンである 8-12 変換パターン 7 4 を記憶して
15 おり、各パターンをセレクタ部 6 5 に供給する。

上述した 2-3 変換パターン 7 1、4-6 変換パターン 7 2、6-9 変換パターン 7 3、および 8-12 変換パターン 7 4 は、不確定コード検出処理部 6 1、変換コード検出部 6 2、終端コード検出部 6 3、または最小ラン連続制限コード検出部 3 3 より供給される情報が、例えば、変換されるチャネルビット列と 1 対
20 1 に対応する識別用の情報を有するなどして、テーブルの各要素に対して個別に識別可能な情報である場合、表 2 中における、データ列からチャネルビット列への対応テーブルのような構造以外の構造であっても構成することができる。

セレクタ部 6 5 は、不確定コード検出処理部 6 1 に供給された情報に基づいて、記憶部 6 4 に記憶されている 2-3 変換パターン 7 1、4-6 変換パターン 7 2、
25 6-9 変換パターン 7 3、および 8-12 変換パターン 7 4 の中から、使用する変換パターンを選択して取得し、変換パターン決定部 6 6 に供給する。なお、不確定コード検出処理部 6 1 が入力されたデータから (11) を検出した場合、セ

レクタ部 6 5 は、取得した 2-3 変換パターン 7 1 を不確定ビット決定部 6 7 に供給する。

変換パターン決定部 6 6 は、不確定コード検出処理部 6 1 、変換コード検出部 6 2 、および終端コード検出部 6 3 より取得した情報に基づいて、セレクタ部 6 5 、若しくは不確定ビット決定部 6 7 より供給された変換パターンの中から使用する変換コードを選択し、連続最小ラン置換部 3 4 に供給するようになされている。また、変換パターン決定部 6 6 は、決定した変換パターンの最終チャネルビットの情報を不確定コード検出処理部 6 1 に供給する。さらに、同期信号挿入部 3 5 において、同期信号がチャネルビット列の所定の位置に挿入される場合、変換パターン決定部 6 6 は、必要に応じて、termination table が使用されたか否か等の情報からなる終端処理情報を同期信号挿入部 3 5 に供給する。

不確定ビット決定部 6 7 は、不確定コード検出処理部 6 1 に供給された情報に基づいて、セレクタ部 6 5 より供給される 2-3 変換パターン 7 1 の不確定符号を決定し、その情報を変換パターン決定部 6 6 に供給する。

なお、パターン変換部 3 2 より出力されたチャネルビット列は、最小ランの連続回数を制限されていない。最小ランの連続回数は、連続最小ラン置換部 3 4 において制限される。

連続最小ラン置換部 3 4 は、最小ラン連続制限コード検出部 3 3 より供給される情報に基づいて、変換パターン決定部 6 6 より供給されるチャネルビット列の所定の部分に対して置き換え処理を行い、最小ランの連続を制限する。そして、連続最小ラン置換部 3 4 は、最小ランの連続を制限したチャネルビット列を同期信号挿入部 3 5 に供給する。

同期信号挿入部 3 5 は、連続最小ラン置換部 3 4 より供給されたチャネルビット列に変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する。同期信号挿入部 3 5 は、所定の間隔においてチャネルビット列の入力を中断し、所定の同期信号パターンを挿入する。同期信号挿入部 3 5 によりチャネルビット列に挿入された同期信号パターンは、他と区別が可能なチャ

ネルビット列の形式で挿入されており、必要に応じて変換パターン決定部 6 6 より供給される終端処理情報を参照し、決定される。同期信号挿入部 3 5 は、チャネルビット列に同期信号を挿入すると、その同期信号を挿入したチャネルビット列を、NRZI 化部 3 6 に供給する。また、同期信号挿入部 3 5 は、チャネルビット列に挿入した同期信号の最終チャネルビットの情報を、不確定コード検出処理部 6 1 に供給する。

終端処理情報は、データ列に表 2 の termination table の (0 0) または (0 0 0 0) の終端パターンが検出された場合に、変換パターン決定部 6 6 より同期信号挿入部 3 5 に供給される。同期信号挿入部 3 5 は、復調時の整合性のために、データ列が termination table を用いてチャネルビット列化されたか、否かを識別し、同期信号を挿入する。

例えば、同期信号内の先頭チャネルビットに終端テーブル識別用ビットが設けられ、termination table が使用された場合は、この終端テーブル識別用ビットに 1 が挿入され、通常テーブルを使用した場合は、終端テーブル識別用ビットに 0 が挿入されるようにすることで、データ列が termination table を用いてチャネルビット列化されたか、否かが識別される。

NRZI 化部 3 6 は、同期信号挿入部 3 5 に供給されたチャネルビット列をチャネルビット列の '1' を反転、'0' を非反転として、ビット列を並び直して NRZI 化し、記録符号列を作成する。言い換えると、NRZI 化前のチャネルビット列は、NRZI 化後の記録符号列のエッジ位置を示すビット列であり、NRZI 化後の記録符号列は、記録データの H/L のレベルを示すビット列に相当する。

なお、以上において、不確定ビット決定部 6 7 は、拘束長 $r = 1$ に対してのみ設けられているように説明したが、これに限らず、例えば、図 6 に示すように、他の拘束長に対しても設けられていてもよい。

図 6 は、変調装置 3 0 の他の詳細な構成例を示すブロック図である。

図 6において、拘束長 $r = 1$ に対しては不確定ビット決定部 6 7 が設けられ、拘束長 $r = 2$ に対しては不確定ビット決定部 8 1 が設けられ、拘束長 $r = 3$ に対

しては不確定ビット決定部 8 2 が設けられ、拘束長 $r = 4$ に対しては不確定ビット決定部 8 3 が設けられている。これにより、変調装置 3 0 は、表 2 に示すような変換テーブルが拘束長 $r = 1$ 、 $r = 2$ 、 $r = 3$ 、および $r = 4$ のすべてにおいて不確定コードを持つ場合においても、不確定ビットを決定することができる。

5 次に、図 5 を参照して説明した実施の形態の動作について説明する。

最初に、DSV 制御ビット決定・挿入部 3 1 において、入力されたデータ列に DSV 制御ビットが挿入され、シフトレジスタ 5 1 に供給される。

図 7 は、入力されたデータ列からチャネルビット列への変換における、レジスタ構成を示す模式図である。図 7 において、データ列を上述した表 2 に基づいて 10 チャネルビット列へ変換する際に最低限必要なレジスタの構成例が示されており、レジスタとしては、変換前の DSV 制御ビットを挿入されたデータ列を格納するために、 $data[0 : 11]$ の 12 ビット、パターン変換部 3 2 の変換後のチャネルビット列を格納するために、 $cbit[0 : 17]$ の 18 ビットが構成されている。また、その他にタイミング用レジスタ等も構成される。

15 図 5 に戻り、シフトレジスタ 5 1 より、パターン変換部 3 2 の不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3、並びに、最小ラン連続制限コード検出部 3 3 に、データが、2 ビット単位で、それぞれが検出等に必要なビット数だけ供給される。

20 図 8 は、シフトレジスタ 5 1 より DSV 制御ビット付きデータ列を供給された不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3 の動作の具体例を示す図である。

25 図 8 において、DSV 制御ビット付きデータ列が、 $data[0 : 11]$ の 12 ビットに、 $data[0]$ から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、 $data[11]$ までシフトされたデータは、次のシフト時に捨てられる。

$data[0, 1]$ に 2 データ入力されると、不確定コード検出処理部 6 1、変換コード検出部 6 2、および終端コード検出部 6 3 は、 $data[0, 1]$ を参照する。

そして、 $\text{data}[0, 1] = [1, 1]$ である場合、(11)を検出した不確定コード検出処理部61は、上述したように動作し、その情報をセレクタ部65および変換パターン決定部66に供給し、変換パターン決定部66または同期信号挿入部35から取得した直前のパターンの最終チャネルビットに基づいて、“105 1”または“000”に変換するように、不確定ビット決定部67に情報を供給する。

また、 $\text{data}[0, 1] = [0, 1]$ または $\text{data}[0, 1] = [1, 0]$ である場合、(10)または(01)を検出した変換コード検出部62は、表2に示すような変換テーブルの拘束長 $r = 1$ の変換コードを用いて、それぞれ“001”または10“010”に変換するように、その情報を変換パターン決定部66に供給する。

そして、 $\text{data}[0, 1] = [0, 0]$ である場合、(00)を検出した終端コード検出部63は、上述したように、内部に持つ終端位置カウンタを参照する。そして、その終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、“000”に変換し、終端するように、その情報を変換パターン決定部15 66に供給する。

終端コード検出部63の内部に持つ終端位置カウンタによって与えられる情報が終端位置を示さない場合、(00)は、拘束長 $r = 1$ においてパターン変換されない。2データがシフトレジスタ51に入力された時点で変換パターンが確定しない場合、シフトレジスタ51には、さらに2データが入力される。

20 新たに2データ（合計4データ）が入力されると、変換コード検出部62および終端コード検出部63は、 $\text{data}[0, 1, 2, 3]$ を参照する。そして、 $\text{data}[0, 1, 2, 3] = [1, 1, 0, 0]$, $\text{data}[0, 1, 2, 3] = [0, 1, 0, 0]$ 、または $\text{data}[0, 1, 2, 3] = [1, 0, 0, 0]$ である場合、(0011), (0010)、または(0001)を検出した変換コード検出部62は、25 上述したように動作し、表2に示すような変換テーブルの拘束長 $r = 2$ の変換コードを用いて、それぞれ“010100”, “010000”，または“000100”に変換するように、情報を変換パターン決定部66に供給する。

そして、 $\text{data}[0, 1, 2, 3] = [0, 0, 0, 0]$ である場合、(0 0 0 0)を検出した終端コード検出部63は、上述したように、内部に持つ終端位置カウンタを参照する。そして、その終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、“0 1 0 1 0 0”に変換し、終端するように、

5 その情報を変換パターン決定部66に供給する。

終端コード検出部63の内部に持つ終端位置カウンタによって与えられる情報が終端位置を示さない場合、(0 0 0 0)は、拘束長 $r = 2$ においてパターン変換されない。4データがシフトレジスタ51に入力された時点で変換パターンが確定しない場合、シフトレジスタ51には、さらに2データが入力される。

10 以上に示す拘束長 $r = 2$ の場合において、 $\text{data}[2, 3] = [0, 0]$ であることは、すでに拘束長 $r = 1$ において判定済みであるので、 $\text{data}[0, 1]$ についてのみ判定が行われるようにしてよい。

新たに2データ（合計6データ）が入力されると、変換コード検出部62および終端コード検出部63は、 $\text{data}[0, 1, 2, 3, 4, 5]$ を参照する。そして、 $\text{data}[0, 1, 2, 3, 4, 5] = [1, 1, 0, 0, 0, 0]$ 、または $\text{data}[0, 1, 2, 3, 4, 5] = [1, 0, 0, 0, 0, 0]$ である場合、(0 0 0 1 1)、または(0 0 0 0 1)を検出した変換コード検出部62は、上述したように動作し、表2に示すような変換テーブルの拘束長 $r = 3$ の変換コードを用いて、それぞれ“0 0 0 1 0 0 1 0 0”または“0 1 0 1 0 0 1 0 0”に20 変換するように、情報を変換パターン決定部66に供給する。

そして、 $\text{data}[0, 1, 2, 3, 4, 5] = [0, 0, 0, 0, 0, 0]$ または $\text{data}[0, 1, 2, 3, 4, 5] = [0, 1, 0, 0, 0, 0]$ である場合、(0 0 0 0 0)または(0 0 0 0 1 0)を検出した終端コード検出部63は、上述したように、内部に持つ終端位置カウンタを参照する。そして、その終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、それぞれ“0 1 0 1 0 0 0 0 0”または“0 0 0 1 0 0 0 0 0”に変換し、終端するように、その情報を変換パターン決定部66に供給する。

終端コード検出部 6 3 の内部に持つ終端位置カウンタによって与えられる情報が終端位置を示さない場合、(0 0 0 0 0) または (0 0 0 0 1 0) は、拘束長 $r = 3$ においてパターン変換されない。6 データがシフトレジスタ 5 1 に入力された時点で変換パターンが確定しない場合、シフトレジスタ 5 1 には、さらに

5 2データが入力される。

以上に示す拘束長 $r = 3$ の場合において、 $\text{data}[2, 3, 4, 5] = [0, 0, 0, 0]$ であることは、すでに拘束長 $r = 2$ において判定済みであるので、 $\text{data}[0, 1]$ についてのみ判定が行われるようにしてよい。

新たに2データ（合計8データ）が入力されると、変換コード検出部62は、

10 data[0, 1, 2, 3, 4, 5, 6, 7]を参照する。そして、data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 0, 0, 0, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 0, 0, 0, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 1, 0, 0, 0, 0, 0, 0]、若しくは、
data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 1, 0, 0, 0, 0, 0, 0],
15 または、data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 0, 0, 1, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 0, 0, 1, 0, 0, 0, 0], data[0, 1, 2, 3, 4, 5, 6, 7]=[0, 1, 0, 1, 0, 0, 0, 0]、若しくは data[0, 1, 2, 3, 4, 5, 6, 7]=[1, 1, 0, 1, 0, 0, 0, 0]である場合、(000000000), (000000001),
20 (000000010)、若しくは (000000011)、または、(00001000), (00001001), (00001010)、若しくは (00001011) を検出した変換コード検出部 62 は、上述したように動作し、表 2 に示すような変換テーブルの拘束長 $r = 4$ の変換コードを用いて、それぞれ “010100100100”, “010100000010”, “010100000001”、若しくは “010100000101”、または、“000100100100”, “000100000010”, “000100000000”

1”、若しくは“0 0 0 1 0 0 0 0 0 1 0 1”に変換するように、情報を変換パターン決定部 6 6 に供給する。

以上に示す拘束長 $r = 4$ の場合において、 $data[4, 5, 6, 7] = [0, 0, 0, 0]$ であることは、すでに拘束長 $r = 2$ において判定済みであるので、

5 $data[0, 1, 2, 3]$ についてのみ判定が行われるようにしてよい。

以上のように、入力された DSV 制御ビット付データ列は、チャネルビット列に変換される。そして、次のパターン変換は、パターンが確定した後、再度、拘束長 1 から始まるような、動作を繰り返していく。図 7 に示すように、チャネルビット列が 18 ビットのレジスタにより供給されるまでに、データ変換は終了し
10 ており、このデータ変換が終了したチャネルビット列が同期信号挿入 3 5 へ供給される。

また、最小ラン連続制限コード検出部 3 3 は、DSV 制御ビット付データ列が入力されたシフトレジスタ 5 1 を参照し、最小ラン連続制限コードを検出する。

図 9 は、データ列から最小ラン連続制限コードを検出する最小ラン連続制限コード検出部 3 3 の動作の具体例を示す図である。
15

図 9において、DSV 制御ビット付データ列が、図 8 の場合と同様に、 $data[0 : 11]$ に、 $data[0]$ から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、 $data[11]$ までシフトされたデータは、次のシフト時に捨てられる。

20 また、最小ラン連続制限コード検出部 3 3 が $data[0 : 11]$ を参照する前に、図 8 に示すようにして、データ列のチャネルビット列へのパターン変換が 1 度行われ、変換されたチャネルビット列は、図 7 に示すようなチャネルビット列 $cbit[0 : 17]$ のレジスタに格納される。

拘束長 $r = 1$ において、 $data[0, 1] = [1, 0]$ であり、直前の 6 データが
25 $data[2, 3, 4, 5, 6, 7] = [1, 1, 1, 0, 1, 1]$ であって、変調情報レジスタが条件に一致する場合、すなわち、(0 1) を検出し、その直前の 6 データにおいて (1 1 0 1 1 1) を検出し、さらに、変調情報レジスタが条件に

一致する場合、最小ラン連続制限コード検出部 3 3 は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 3 4 に供給する。

また、拘束長 $r = 2$ において、 $\text{data}[0, 1, 2, 3] = [0, 1, 0, 0]$ または $\text{data}[0, 1, 2, 3] = [1, 1, 0, 0]$ であり、直前の 6 データが 5 $\text{data}[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$ であって、変調情報レジスタが条件に一致する場合、すなわち、(0010) または (0011) を検出し、その直前の 6 データにおいて (110111) を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 3 3 は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 3 10 4 に供給する。

さらに、拘束長 $r = 2$ において、 $\text{data}[0, 1, 2, 3] = [0, 0, 0, 0]$ で終端位置を示しており、直前の 6 データが $\text{data}[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$ であって、変調情報レジスタが条件に一致する場合、すなわち、(0000) で終端する終端位置を検出し、その直前の 6 データにおいて 15 (110111) を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 3 3 は、最小ラン連続制限コードを検出したと判定し、その情報を連続最小ラン置換部 3 4 に供給する。

さらに、拘束長 $r = 3$ において、 $\text{data}[0, 1, 2, 3, 4, 5] = [0, 0, 0, 0, 0, 0]$ または $\text{data}[0, 1, 2, 3, 4, 5] = [1, 0, 0, 0, 0, 0]$ 20 であり、直前の 6 データが $\text{data}[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$ であって、変調情報レジスタが条件に一致する場合、すなわち、(000000) または (000001) を検出し、その直前の 6 データにおいて (110111) を検出し、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 3 3 は、最小ラン連続制限コードを検出したと判 25 定し、その情報を連続最小ラン置換部 3 4 に供給する。

連続最小ラン置換部 3 4 は、最小ラン連続制限コード検出部 3 3 より供給された情報に基づいて、チャネルビット列を所定のチャネルビット列に置き換える。

このとき、 $\text{data}[2, 3, 4, 5, 6, 7] = [1, 1, 1, 0, 1, 1]$ の場合、すなわち、拘束長 $r = 1$ において最小ラン連続制限コードが検出された場合、置き換えられるチャネルビット列は、 $\text{cbit}[3, 4, 5, 6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$ である。また、 $\text{data}[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$ の場合、すなわち、拘束長 $r = 2$ において最小ラン連続制限コードが検出された場合、置き換えられるチャネルビット列は、 $\text{cbit}[6, 7, 8, 9, 10, 11, 12, 13, 14] = [1, 1, 1, 0, 1, 1]$ である。同様に、 $\text{data}[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$ の場合、すなわち、拘束長 $r = 3$ において最小ラン連続制限コードが検出された場合、置き換えられるチャネルビット列は、 $\text{cbit}[9, 10, 11, 12, 13, 14, 15, 16, 17] = [1, 1, 1, 0, 1, 1]$ である。

以上のようにして、チャネルビット列からチャネルビット列への置き換え変換が行われる。このように、変調装置 30 は、置換に際して、新たにレジスタを追加する必要は無く、簡単な構成で実現できる。また、図 7 に示すように、チャネルビット列は、18 ビットのレジスタにより供給される前に置換処理は完了しており、この置換されたチャネルビット列が同期信号挿入部 35 に供給される。

次に、図 10 を参照して、最小ラン連続制限コード検出部 33 の動作の詳細について説明する。図 10 は、最小ラン連続制限コード検出部 33 が変調情報レジスタを参照して最小ラン連続制限コードを検出する動作の様子の詳細を示す図である。

図 10において、DSV 制御ビット付データ列は、順にレジスタに入力され、パターン変換部 32 により、2 データに対して 3 ビットのチャネルビット列に変換される。すなわち、 $t_1, t_2, t_3, t_4, t_5, t_6, t_7$ の順に DSV 制御ビット付データ列が 2 データ単位で参照してパターン変換処理がされ、チャネルビット列に変換される。パターン変換部 32 が DSV 制御ビット付データ列をチャネルビット列に変換できない場合は、上述したように、さらに DSV 制御ビット付データ列が入力され、2 データ単位 (4 データ、6 データ、及び 8 データ) で参照してパターン変換処理が繰り返される。

変調情報レジスタ 91 は、2 ビットのデータを格納できるように構成されており、データは 1 ビットずつ入力され、次のデータが入力されると、前に入力されたデータがシフトするように構成されている。DSV 制御ビット付データ列より (11) が検出され、“*0*”に変換された場合、変調情報レジスタ 91 には

5 データ「1」が入力され、以前に入力されたデータがシフトされる。一方、(11) が検出されたが、“*0*”に変換されなかった場合は、変調情報レジスタ 91 にはデータ「0」が入力され、以前に入力されたデータがシフトされる。

変調情報レジスタ 91 の 2 ビットがともに「1」である場合、若しくは、ともに「0」が入力されていない場合、最小ラン連続コード検出部 33 は、変調情報 10 レジスタ 91 が条件に一致したと判定する。そして、連続制限コード置換部 34 により、チャネルビット列の置き換えが行われると、変換情報レジスタ 91 の 2 ビットは「0」にクリアされる。

例えば、図 10 の t1において、DSV 制御ビット付データ列より (11) が検出されると、上述したように、(11) は、“000”のチャネルビット列に変換される。このとき、初期値として [0, 0] が入っていた変調情報レジスタ 91 には、データ「1」が入力され、[1, 0] となる。そして、t2において、DSV 制御ビット付データ列より (11) が検出され、上述したように、(11) は“101”のチャネルビット列に変換される。このとき、変調情報レジスタ 91 には、データ「1」が入力され、t1において入力されたデータがシフトされる。すなわち変調情報レジスタ 91 は、[1, 1] となる。

t3において、DSV 制御ビット付データ列より (01) が検出され、(01) は“010”に変換される。このとき、変調情報レジスタ 91 には、新たにデータは入力されず、変調情報レジスタ 91 は、[1, 1] のままである。t4において、DSV 制御ビット付データ列より (11) が検出され、(11) は“101”に変換される。これにより、変調情報レジスタ 91 には、データ「1」が入力され、t1において入力されたデータがシフトされる。すなわち変調情報レジスタ 91 は、[1, 1] となる。

t 5において、DSV 制御ビット付データ列より (0 0) が検出され、上述した
ように、(0 0) は変換されず t 6 に移行する。同様に、t 6においても、(0
0) が検出され、t 7 に移行する。そして、t 7において (0 1) が検出され、
(0 0 0 0 0 1) は “0 1 0 1 0 0 1 0 0” に変換される。このとき、変調情報
5 レジスタ 9 1 には、新たにデータは入力されないので、変調情報レジスタ 9 1 は
前の値を保持している。そして、図 9 に示すように、最小ラン連続制限コード検
出部 3 3 は、(0 0 0 0 0 1) を検出し、直前の 6 データにおいて (1 1 0 1 1
1) を検出している。さらに、直前の 6 データが (1 1 0 1 1 1) を検出して
いる時点の変調情報レジスタ 9 1 が、[1, 1] であるので、最小ラン連続制限
10 コード検出部 3 3 は、最小ラン連続制限コードを検出したと判定し、連続最小ラン
置換部 3 4 において、チャネルビット列の置き換えが行われ、t 2 乃至 t 4 に
おいて、変換されるべきチャネルビット列 “1 0 1 0 1 0 1 0 1” が “0 0 1 0
0 0 0 0 0” に置き換えられる。

以上のように置き換えが行われると、変調情報レジスタ 9 1 は、入力されたデ
15 ータがクリアされて、[0, 0] になる。

また、図 1 1 は、最小ラン連続制限コード検出部 3 3 が変調情報レジスタを参
照して最小ラン連続制限コードを検出する動作の様子の詳細の他の例を示す図で
ある。

図 1 1 の t 1 において、DSV 制御ビット付データ列より (0 0) が検出される
20 と、上述したように、(0 0) は変換されず t 2 に移行する。そして、t 2 にお
いて、DSV 制御ビット付データ列より (1 1) が検出され、(0 0 1 1) は “0
1 0 1 0 0” のチャネルビット列に変換される。このとき、初期値として [0,
0] が入っていた変調情報レジスタ 9 1 には、データ ‘0’ が入力され、変調情
報レジスタ 9 1 は、[0, 0] となる。

25 t 3 において、DSV 制御ビット付データ列より (0 1) が検出され、(0 1)
は “0 1 0” に変換される。このとき、変調情報レジスタ 9 1 には、新たにデー
タは入力されないので、変調情報レジスタ 9 1 は前の値を保持しており、[0,

0]となる。t 4において、DSV 制御ビット付データ列より (1 1) が検出され、(1 1) は “1 0 1” に変換される。これにより、変調情報レジスタ 9 1には、データ「1」が入力され、t 2において入力されたデータがシフトされる。すなわち変調情報レジスタ 9 1は、[1, 0]となる。

5 t 5において、DSV 制御ビット付データ列より (0 0) が検出され、上述した
ように、(0 0) は変換されず t 6に移行する。同様に、t 6においても、(0
0) が検出され、t 7に移行する。そして、t 7において (0 1) が検出され、
(0 0 0 0 0 1) は “0 1 0 1 0 0 1 0 0” に変換される。このとき、変調情報
レジスタ 9 1には、新たにデータは入力されないので、変調情報レジスタ 9 1は
10 前の値を保持している。そして、図 9に示すように、最小ラン連続制限コード検
出部 3 3は、(0 0 0 0 0 1) を検出し、直前の 6 データにおいて (1 1 0 1 1
1) を検出している。しかし、変調情報レジスタ 9 1が、[1, 0]であるので、
最小ラン連続制限コード検出部 3 3は、最小ラン連続制限コードを検出していな
いと判定し、連続最小ラン置換部 3 4において、チャネルビット列の置き換えは
15 行われない。

以上のようにして、最小ラン連続制限コード検出部 3 3は、変調情報レジスタ
9 1を参照し、最小ラン連続制限コードを検出する。

以上のように構成することにより、変調装置 3 0を簡単な構成にすることがで
きる。そして、最小ラン連続制限コード検出部 3 3、および連続最小ラン置換部
20 3 4をパターン変換部 3 2と別に構成することにより、様々な仕様の他システム
への応用を容易に行うことができる。

例えば、最小ランの連続を制限しなくてもよいシステムに応用する場合、最小
ラン連続制限コード検出部 3 3への接続を切断するだけで、変調装置 3 0を適用
することができる。

25 なお、上記したような処理を行うコンピュータプログラムをユーザに提供する
提供媒体としては、磁気ディスク、CD-ROM、固体メモリなどの記録媒体の他、
ネットワーク、衛星などの通信媒体を利用することができる。

産業上の利用可能性

以上のように、本発明の変調装置および方法によれば、拘束長 $r = 3$ において

変換されないデータ列を拘束長 $r = 4$ において判定して変換するようにし、さら

- 5 に、最小ラン連続制限コード検出部および連続最小ラン置換部をパターン変換部と別に構成するようにしたので、変調装置を実現する回路の構成を簡単にし、他システムへの応用を容易に行うことができる。

請求の範囲

1. 基本データ長が m ビットのデータを、基本符号長が n ビットの可変長符号 ($d, k ; m, n ; r$) に変換する変調装置において、
データ列の要素内の「1」の個数を 2 で割った時の余りと、変換される符号語
- 5 列の要素内の「1」の個数を 2 で割った時の余りが、どちらも 1 あるいは 0 で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換手段と、
前記変換テーブルの変換コードに含まれる、最小ラン d の連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最
- 10 小ラン連続制限コード検出手段と、
前記最小ラン連続制限コード検出手段による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換手段により変換された前記符号語列を置き換える連続最小ラン置換手段と
を備えることを特徴とする変調装置。
- 15 2. 前記変換手段による、前記変換テーブルに含まれる所定の前記変換コードに基づいた変換の回数をカウントし、その情報を保持する変調情報保持手段をさらに備え、
前記最小ラン連続制限コード検出手段は、前記変調情報保持手段により保持されている情報の内容に基づいて、前記入力されたデータからの前記最小ラン連続
- 20 制限コードの検出が制御される
ことを特徴とする請求の範囲第 1 項に記載の変調装置。
3. 前記連続最小ラン置換手段により前記最小ランの連続が所定の回数以下に制限された前記符号語列の任意の位置に、前記変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入手段と、
25 前記同期信号挿入手段により前記同期信号が挿入された前記符号語列を NRZI 変換し、記録符号列を作成する NRZI 変換手段と
をさらに備えることを特徴とする請求の範囲第 2 項に記載の変調装置。

4. 前記変換手段は、

$d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードを有する前記変換テーブルの変換コードに含まれる所定のパターンを、前記入力されたデータから検出する変換コード検出手段と、

5 前記変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、前記入力されたデータから検出する終端コード検出手段と、

前記変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とするとき、「0 0 0」
10 または「1 0 1」となる符号「* 0 *」を有する不確定符号を含む不確定コードを、前記入力されたデータから検出する不確定コード検出手段と、

前記不確定コード検出手段により検出された前記不確定コードに含まれる前記不確定符号の*に対応する符号を決定する不確定ビット決定手段と、

前記変換コード検出手段、前記終端コード検出手段、および前記不確定コード検出手段の検出結果、並びに、前記不確定ビット決定手段による符号の決定結果に基づいて、利用する前記変換テーブルの前記変換コードを決定する変換パターン決定手段と

；

を備えることを特徴とする請求の範囲第3項に記載の変調装置。

5. 前記終端コード検出手段は、

20 終端位置を特定するための情報を供給する終端位置カウンタを有し、

前記入力されたデータから前記変換テーブルの変換コードに含まれる所定のパターンを検出し、前記終端位置カウンタにより供給される情報が終端位置を示すことにより、前記終端コードを検出したと判定する

ことを特徴とする請求の範囲第4項に記載の変調装置。

25 6. 前記不確定コード検出手段は、前記変換パターン決定手段により決定された前記変換パターンの最終ビットの情報、および、前記同期信号挿入手段により挿入された前記同期信号のパターンの最終ビットの情報を取得し、

前記不確定ビット決定手段は、前記不確定コード検出手段が取得した前記変換パターンの最終ビットの情報、および前記同期信号のパターンの最終ビットの情報に基づいて、前記不確定符号の*に対応する符号を決定することを特徴とする請求の範囲第4項に記載の変調装置。

5 7. 前記変換パターン決定手段は、前記終端コードに基づいて、前記入力されたデータ列を変換する前記変換パターンを決定したか否かを判定し、

前記同期信号挿入手段は、前記変換パターン決定手段による判定結果に基づいて、所定の処理が行われた前記同期信号を前記符号語列の任意の位置に挿入することを特徴とする請求の範囲第4項に記載の変調装置。

10 8. 前記所定の処理において、前記同期信号の先頭ビットは、

前記終端コードに基づいて前記変換パターンを決定したと前記変換パターン決定手段が判定した場合、「1」に設定され、

前記終端コードに基づいて前記変換パターンを決定していないと前記変換パターン決定手段が判定した場合、「0」に設定される

15 ことを特徴とする請求の範囲第7項に記載の変調装置。

9. 基本データ長がmビットのデータを、基本符号長がnビットの可変長符号($d, k ; m, n ; r$)に変換する変調装置の変調方法において、

データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、

前記変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出ステップと、

25 前記最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換ステップの処理により変換された前記符号語列を置き換える連続最小ラン置換ステップと

を含むことを特徴とする変調方法。

10. 前記変換ステップの処理による、前記変換テーブルに含まれる所定の前記変換コードに基づいた変換の回数をカウントし、その情報の保持を制御する変調情報保持ステップをさらに備え、

5 前記最小ラン連続制限コード検出ステップの処理は、前記変調情報保持ステップの処理により保持が制御されている情報の内容に基づいて、前記入力されたデータからの前記最小ラン連続制限コードの検出を制御することを特徴とする請求の範囲第9項に記載の変調方法。

11. 前記連続最小ラン置換ステップの処理により前記最小ランの連続が所定の回数以下に制限された前記符号語列の任意の位置に、前記変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する同期信号挿入ステップと、

10 前記同期信号挿入ステップの処理により前記同期信号が挿入された前記符号語列を NRZI 変換し、記録符号列を作成する NRZI 変換ステップと
15 をさらに含むことを特徴とする請求の範囲第10項に記載の変調方法。

12. 前記変換ステップの処理は、

d = 1、k = 7、m = 2、n = 3 の基礎コードを有する前記変換テーブルの変換コードに含まれる所定のパターンを、前記入力されたデータから検出する変換コード検出ステップと、

20 前記変換テーブルの変換コードに含まれる、符号を任意の位置において終端させるための終端コードを、前記入力されたデータから検出する終端コード検出ステップと、

前記変換テーブルの変換コードに含まれ、直前または直後の符号語が「1」のとき「0」となり、「0」のとき「1」となる記号を*とするとき、「0 0 0」
25 または「1 0 1」となる符号「* 0 *」を有する不確定符号を含む不確定コードを、前記入力されたデータから検出する不確定コード検出ステップと、

前記不確定コード検出ステップの処理により検出された前記不確定コードに含まれる前記不確定符号の*に対応する符号を決定する不確定ビット決定ステップと、

前記変換コード検出ステップ、前記終端コード検出ステップ、および前記不確定コード検出ステップの処理の検出結果、並びに、前記不確定ビット決定ステップの処理による符号の決定結果に基づいて、利用する前記変換テーブルの前記変換コードを決定する変換パターン決定ステップと

を含むことを特徴とする請求の範囲第11項に記載の変調方法。

13. 終端位置を特定するための情報を供給する終端位置カウンタを有する変調装置の変調方法において、

前記終端コード検出ステップの処理は、前記入力されたデータから前記変換テーブルの変換コードに含まれる所定のパターンを検出し、前記終端位置カウンタにより供給される情報が終端位置を示すことにより、前記終端コードを検出したと判定する

ことを特徴とする請求の範囲第12項に記載の変調方法。

14. 前記不確定コード検出ステップの処理は、前記変換パターン決定ステップの処理により決定された前記変換パターンの最終ビットの情報、および、前記同期信号挿入ステップの処理により挿入された前記同期信号のパターンの最終ビットの情報の取得を制御し、

前記不確定ビット決定ステップの処理は、前記不確定コード検出ステップの処理により取得が制御された前記変換パターンの最終ビットの情報、および前記同期信号のパターンの最終ビットの情報に基づいて、前記不確定符号の*に対応する符号を決定する

ことを特徴とする請求の範囲第12項に記載の変調方法。

25 15. 前記変換パターン決定ステップの処理は、前記終端コードに基づいて、前記入力されたデータ列を変換する前記変換パターンを決定したか否かを判定し、

前記同期信号挿入ステップの処理は、前記変換パターン決定ステップの処理による判定結果に基づいて、所定の処理が行われた前記同期信号を前記符号語列の任意の位置に挿入する

ことを特徴とする請求の範囲第12項に記載の変調方法。

5 16. 前記所定の処理において、前記同期信号の先頭ビットは、

前記終端コードに基づいて前記変換パターンを決定したと前記変換パターン決定手段が判定した場合、「1」に設定され、

前記終端コードに基づいて前記変換パターンを決定していないと前記変換パターン決定手段が判定した場合、「0」に設定される

10 ことを特徴とする請求の範囲第15項に記載の変調方法。

17. 基本データ長がmビットのデータを、基本符号長がnビットの可変長符号 (d, k ; m, n ; r) に変換する変調装置用のプログラムであって、

データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、

前記変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出ステップと、

20 前記最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換ステップの処理により変換された前記符号語列を置き換える連続最小ラン置換ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

25 18. 基本データ長がmビットのデータを、基本符号長がnビットの可変長符号 (d, k ; m, n ; r) に変換する変調装置を制御するコンピュータが実行可能なプログラムであって、

データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1あるいは0で一致するような変換規則を有する変換コードを含む変換テーブルに従って、入力されたデータを符号語に変換する変換ステップと、

- 5 前記変換テーブルの変換コードに含まれる、最小ランdの連続を所定の回数以下に制限する最小ラン連続制限コードを、前記入力されたデータから検出する最小ラン連続制限コード検出ステップと、

前記最小ラン連続制限コード検出ステップの処理による検出結果に基づいて、前記最小ランの連続を所定の回数以下に制限するように、前記変換ステップの処理により変換された前記符号語列を置き換える連続最小ラン置換ステップと
10 を含むことを特徴とするプログラム。

1/11

図 1

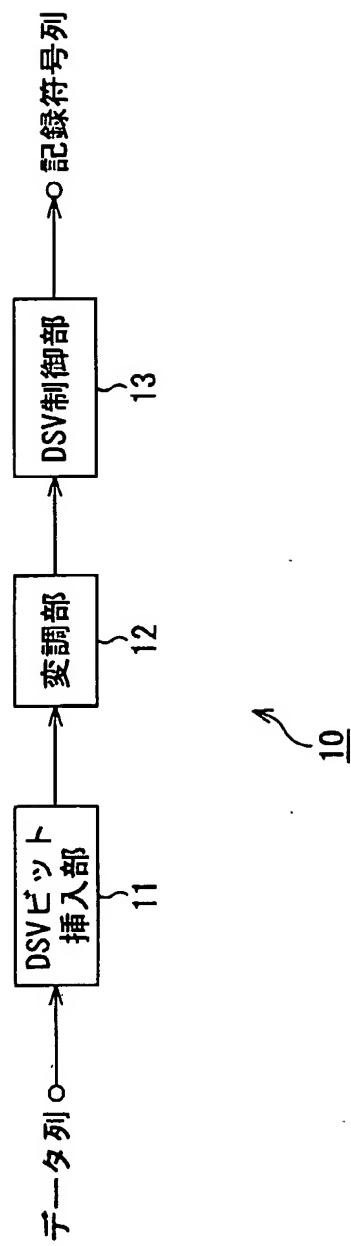


図2

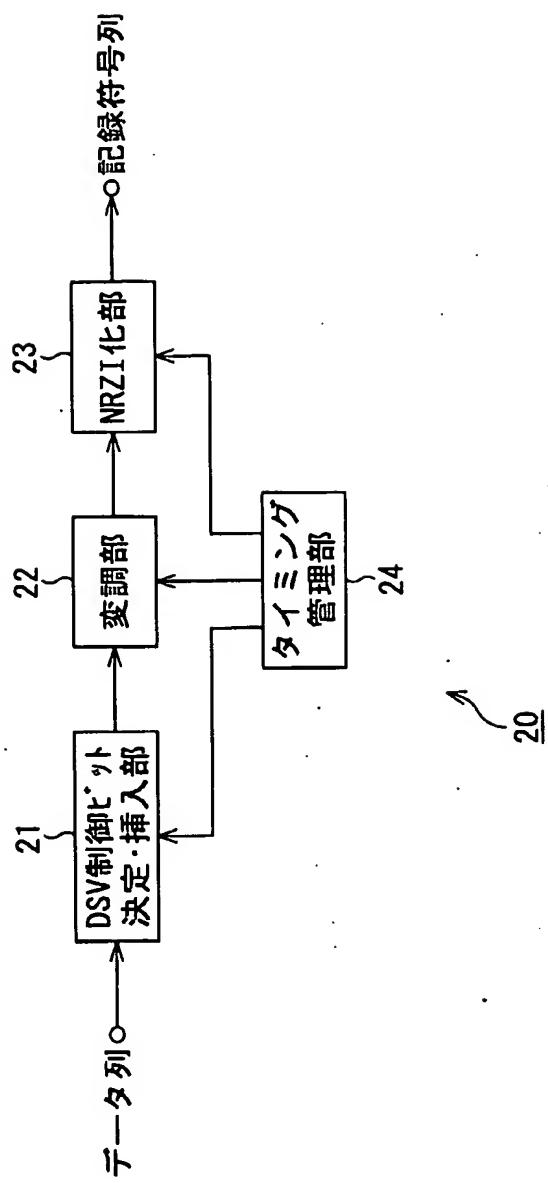


図3

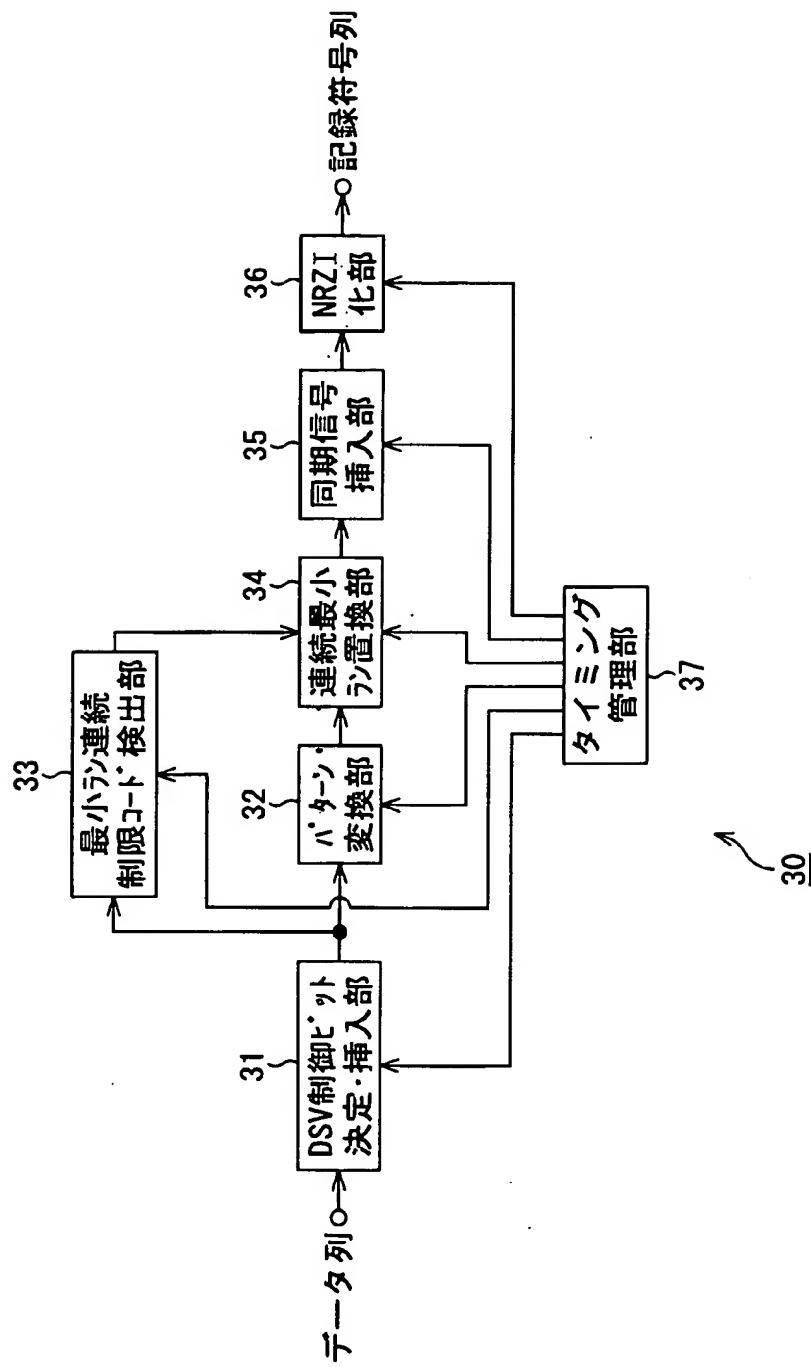
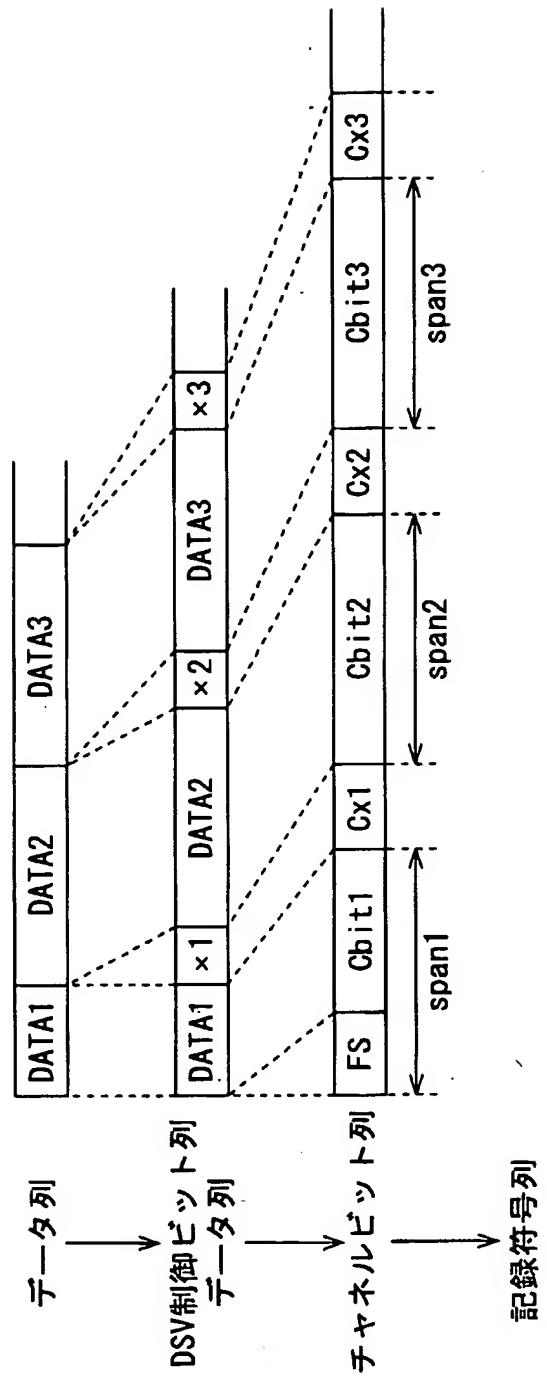
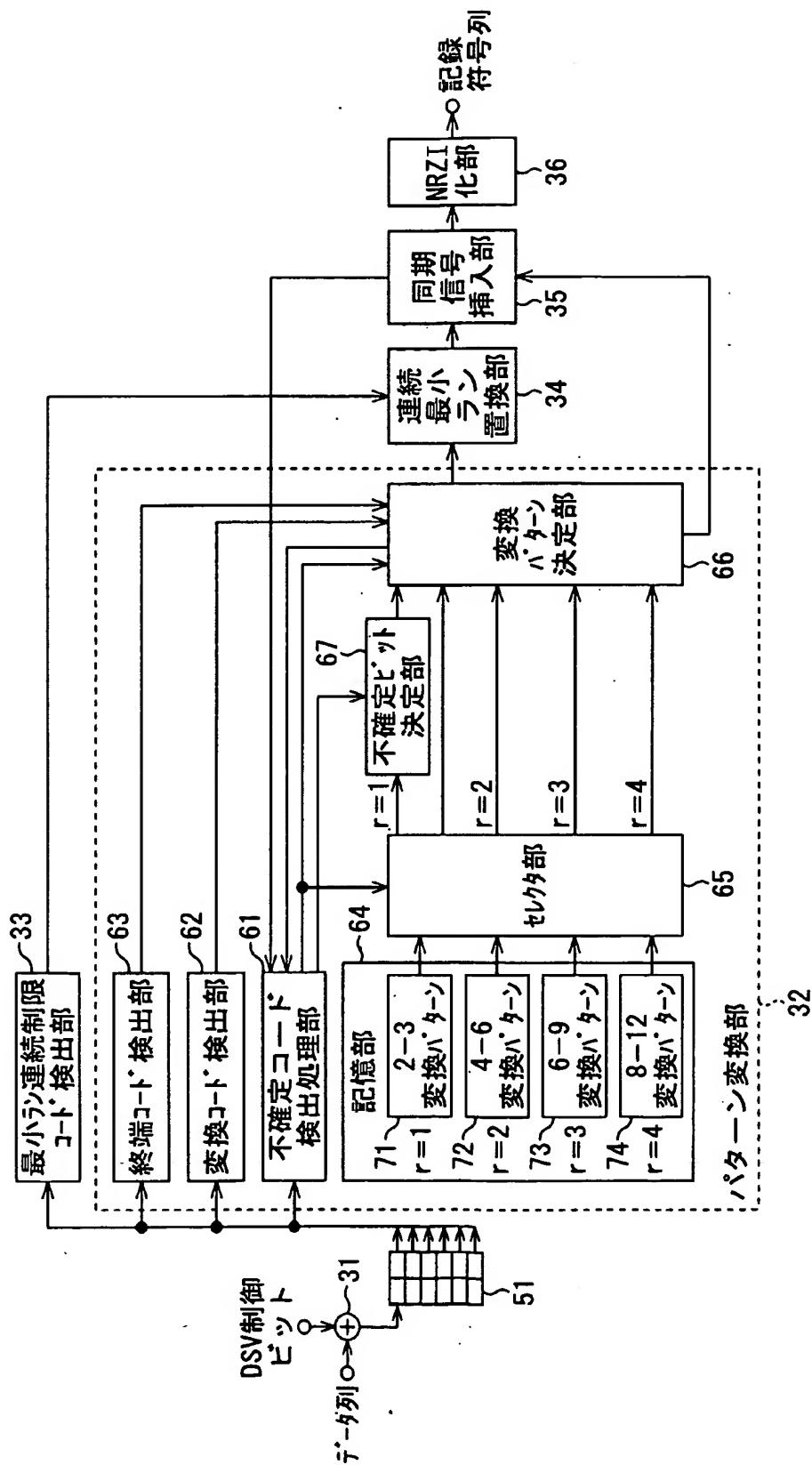


図 4



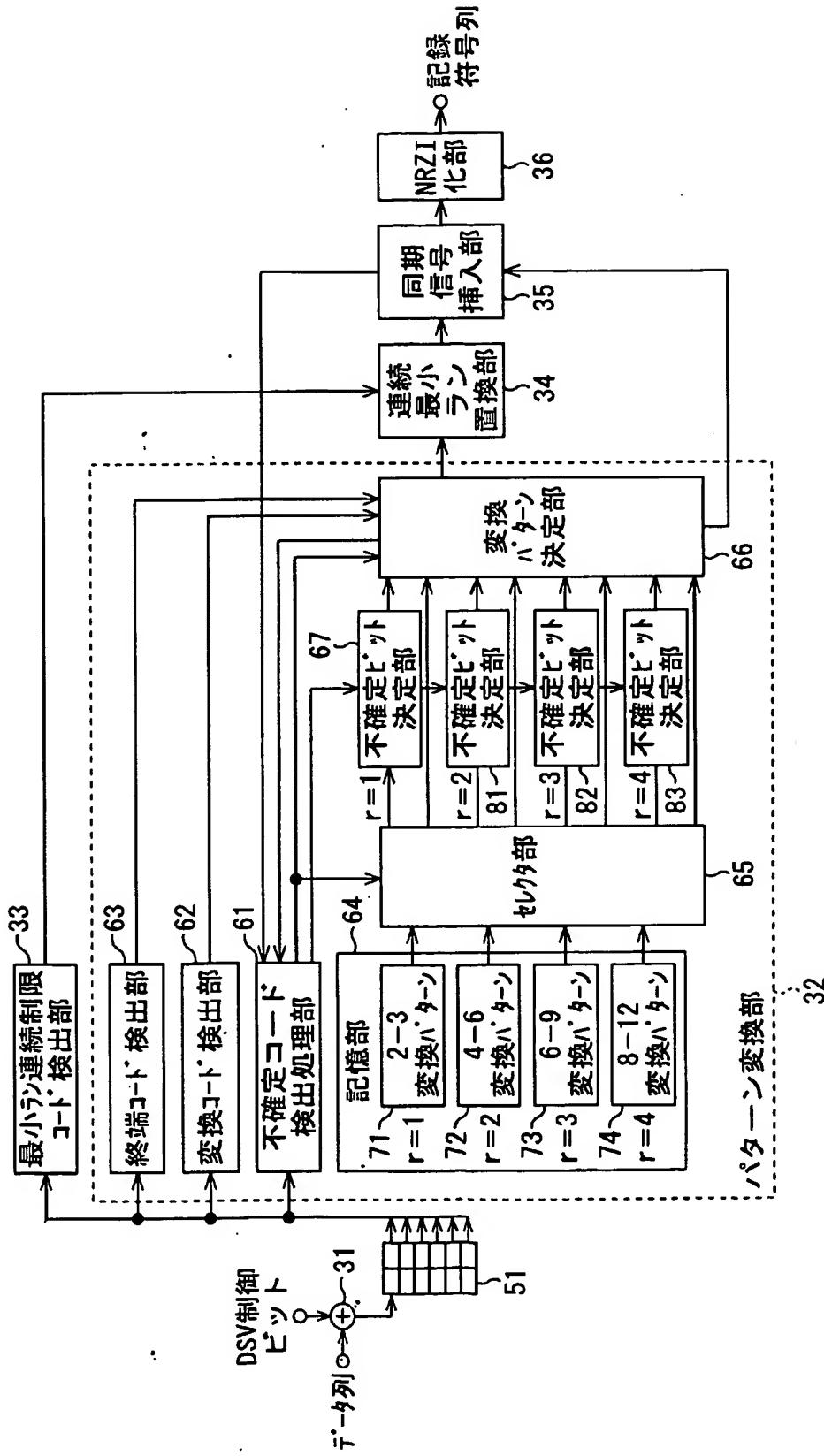
5/11

図 5



6/11

図 6



7/11

図7

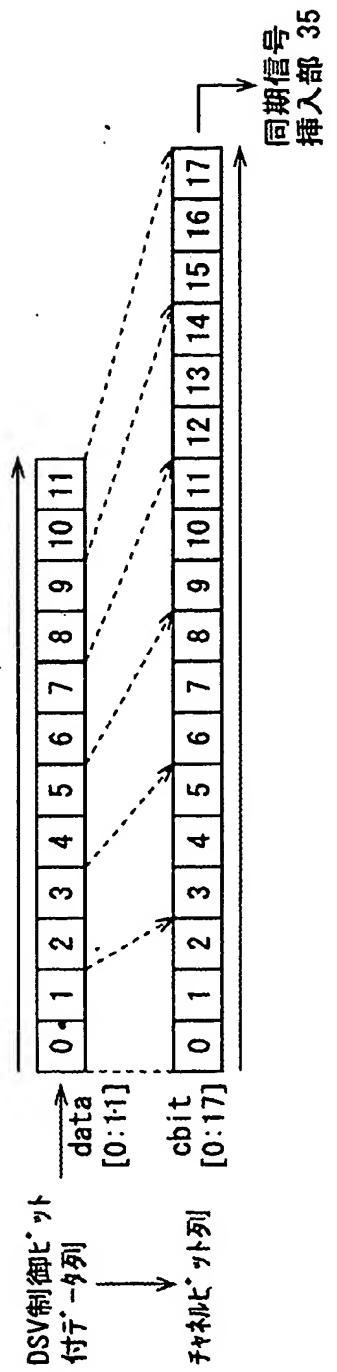
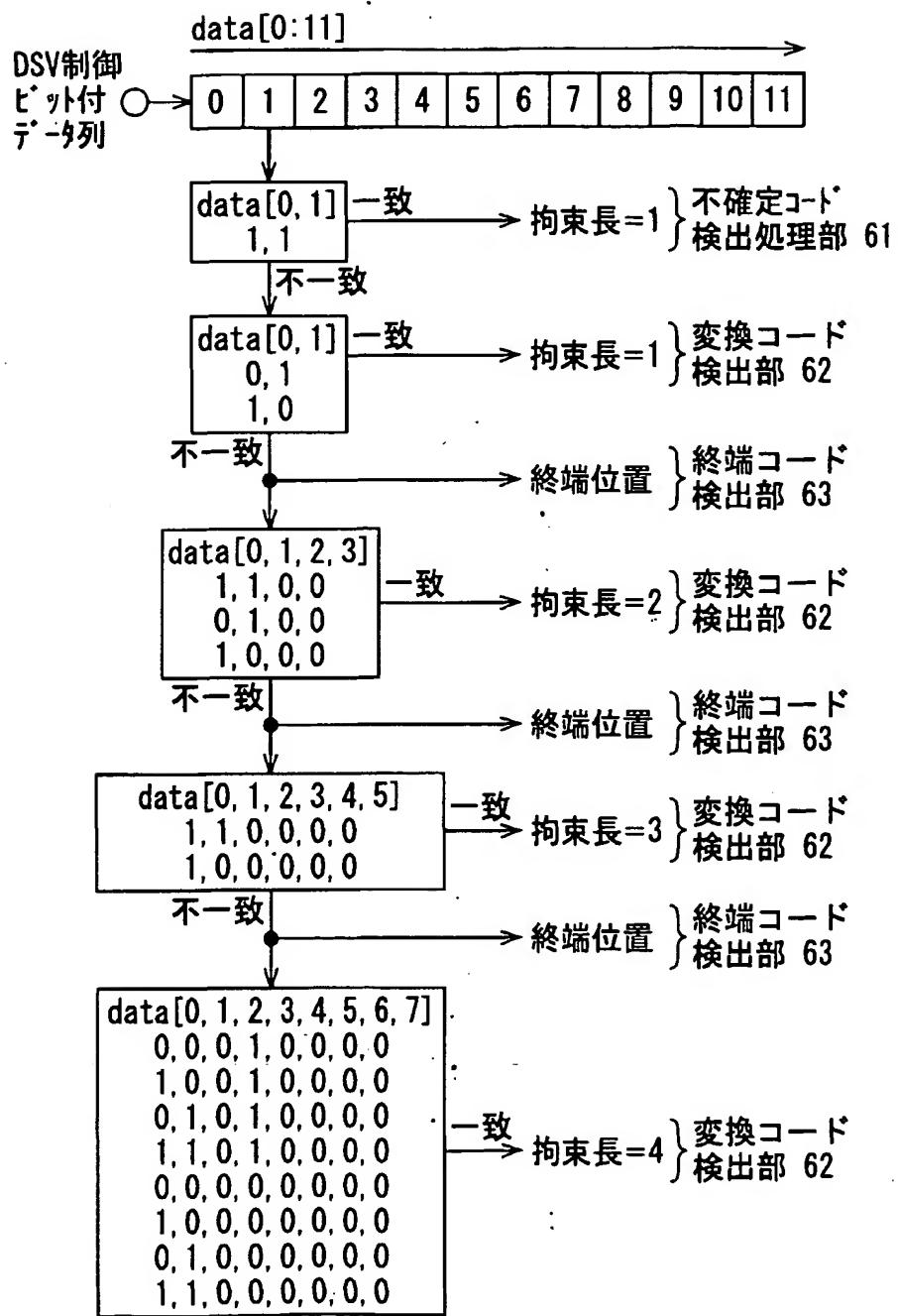
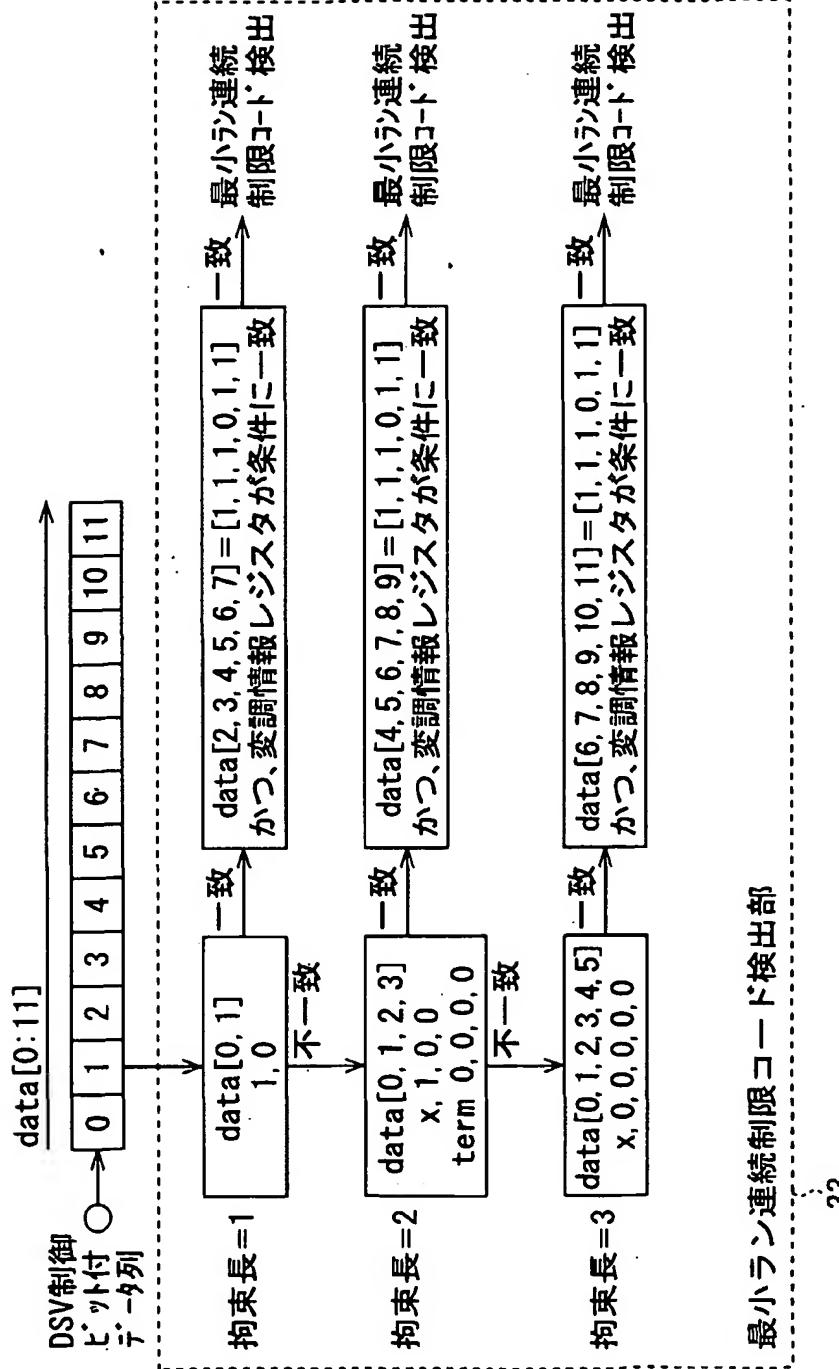


図 8



9/11

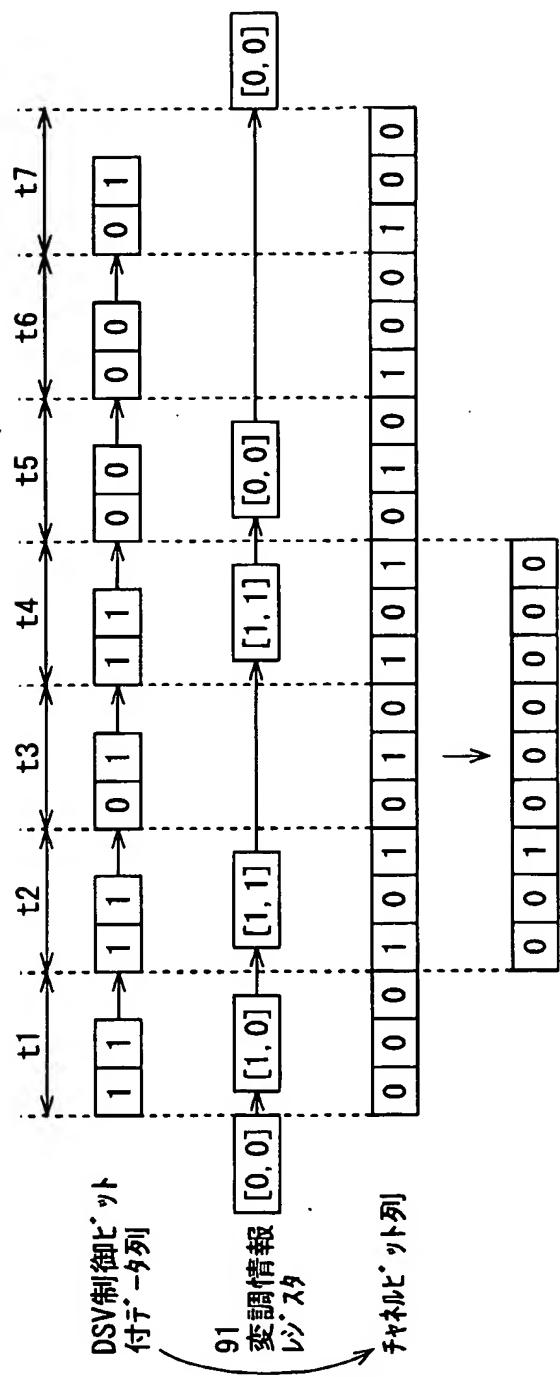
図 9



最小ラン連続制限コード検出部

10/11

図10



11/11

図11

